(54) SEMICONDUCTOR INTEGRATED CIRCUIT

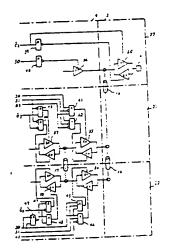
(43) 5.3.1988 (19) JP (11) 63-52463 (A)

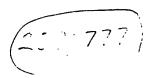
(21) Appl. No. 61-195433 (22) 22.8.1986

(71) HITACHI LTD (72) HIDEKAZU MINAMI (51) Int. Cl. H01L27 00.H01L21 66,H01L25:08

PURPOSE: To improve diagnosing data forming efficiency by providing means for cutting a logic signal between chip layers with respect to a circuit, and means for connecting chips via a diagnosing through hole, and selecting at least one of a plurality of laminating chips to diagnose it.

CONSTITUTION: At a normal operation time, signals So, S1 are both "0", a dry state gate 34 is a connected state, hidirectional try state gates 37, 38 are connectible state, and bidirectional dry state gates 35, 36 are disconnected state. Accordingly, logic units 4 of all chip layers become operative. A signal fed via the gates 37, 38 and a logic through hole 17 between chips is fed from a third chip layer 22 to a second chip layer 21 when an O<sub>3</sub> signal is "0", and fed from the layer 21 to the layer 22 when the O<sub>3</sub> signal is "1". The logic unit 4 of a first chip layer 20 is selected when S<sub>6</sub> is "0" and S<sub>1</sub> is "1", of the layer 21 is selected when  $S_0$  is "1" and  $S_1$  is "0", and of the layer 22 is selected when both both  $S_0$  and  $S_1$  are both "1", and the layer is diagnosed via the diagnosing through hole 15 between the chips.





## 四公開特許公報(A)

昭63-52463

@Int\_Cl\_4

識別記号 301 庁内整理番号

❸公開 昭和63年(1988)3月5日

H 01 L 27/00

21/00 21/66 25/08 B-8122-5F

7168-5F

B-7638-5F 審查請求

審査請求 未請求 発明の数 1 (全8頁)

9発明の名称 半導体集積回路

②特 顧 昭61-195433

登出 9 昭61(1986)8月22日

砂発 明 者 南

英 一

神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川

工場内

①出 頤 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

过代 理 人 弁理士 小川 勝男 外

外1名

明知 細石

し 岩明の名称

半峰体渠贯回路

2 特許請求の額題

LSIチップを絶滅物を介して設設組織器した 3 次元実装の半時体集積回路において、所足の論 進機能を果たす各層にかける論理部と、該論温部 と外部回路とを接続する入出力部と、投資された ナップの論理部同志を接続するチップ間論理用ス ルーホールと、テップ間論理用スルーホールとは 別に診断用としてチップ間に設けた診断用スルー ホールと、黄紀チップ間論祖用スルーホール及び テップ間移断用スルーホールを回路的に接続、切 断する手段とからなり、蔵手没は巣積回路の通常 頭作時には貧紀チップ間論理用スルーホールを送 **提状態、肩配テフブ間診断用スルーホールを**切断 状態とし、診断時にはチップ間論連用スルーホー ルを切断状態、前記チップ間診断用スルーホール を接続状態とするよう制御し、須澄された夏敦保 のテスプのうち、少なくとも1つを選択して診断

できるようにしたことを特徴とする半導体集機国 品。

#### 4 発明の評価な説明

〔産英上の利用分野〕

本発明は、10.8.1.チップを複数値3次元に積度 した半導体集積回路に関する。

(は米の技術)

半導体提發回路はゲート規模の増大の一金を辿ってかり、最近では1チップが数万ゲート・十万ゲートのものもできている。半導体集積回路のゲート規模を増大させるために採られた手段には次のようなものがある。

- (1) 回路票子を含めた配線の疎細化
- (1) 半導体蓋板の大形化
- (制) ハイブリッド実装

これらは、いずれも2次元の範囲内でのゲート規 長の潜大さねらったものである。

ところで、今後ゲート規模を飛躍的に拡大する には、チップの 5 次元機器が必須であり、現に 5 ほの三次元回路の試作例が公知(コンピュータデ ザイン ( COMPUTER DESIGE) 1985年5 月号 P.25-24)にある。この例は各ナップ層 がそれぞれ単独に効作するものであり、スルーホ ールによりチップ温間が回路的につながり物作を するものではない。 しかしテップをスルーホール を介し、て回路的につなぐ研究も進んでおり、現に 復演されたテップがスルーホールで変読された多 層化回路の試作例が朝日新聞1986年2月5日号 P.16 化船介されている。

# (発明が解决しよりとする問題点)

3 次元回路の研究が進めば、1個の半場体集成 図品は収10万~数100万グートの規模となる。一 方、ピン数は実装上の割約から、ゲート数の増大 化出州して潜えることは期存できない。そのため かかる半導体果護国路の診断を如何にするかの間 題点が生じる。現代今でも診断データの作成には 多大の工政と計算役使用時間を受しているのが共 慣である。ゲート頑優が増えれば、テストデータ の重を増やしても限られたピン数のもとでは益析 効率の同上が盆めない。またゲート規模が診断ブ

切断する手段により、診断時にはチップ間論理用 スルーホールを切断式限、チップ間診断用スルー ホール主要読状題として診断を可能とする。

(発明の異應例) 以下、平陽明の実施例を図面だこり説明する。 漢1 図は本発明の茜本となる半導体集積回路の断 面斜視図であり、半導体発復回路(は適縁層5を 介してテップ層 2 が複数個積層されている。同図 ではテッグ落2は3種の場合を示している。各テ ァブ暦 2 は、論建節 4 と入出力部 5 から成り、論 環幕4は集積回路の所定の論理段能を構成する部 分であり、また入出力部5位集役回路が外部と信 号を击交する日分である。

弱 2 辺は、 歳上位滑のチップ階 2 の平面構成図 でろる。入出力 85 5 には入出力グート 8 がある。 入出 カゲート B の一方は信号用 ポンディングパッ ドもと浸漉し、他方は診断用パッド9を介して論 連絡すと登紀する。入出力部5には電源供給用パ ッドフも強数個配置されている。海路部 4 化は祭 賃回路の遊本君子であるセル10があり、該セル10

ログラムの処理即力を超え、診断データを作成で きなくなることもあり得る。

本発明の目的は、絶談物を介して模器された改 故媼のLSIチップをスルーホールで姿託した半 導体巣後回路化おいて、設復層された複数個のテ ップのうち、少なくとも1つを退択して診断でき る半導体集後回路を提供することにある。

# (問題点を解決するための手段)

本晃明の特徴とするところは、絶破切を介して 積温された複数個のLSIチップをスルーホール で扱続した半導体集積回路において、弦は音され た複数個のチップのりち、少なくとも1つを避択 して診断できるようにするため、所望の安能を得 成する論理節同志を張説するチップ間論温用スル ーホールおよび、双チップ間海理用スルーホール とは別に診断用としてチップ間に設けたテップ間 診断用スルーホールを国路的に選続さらびた刃の する手段を設ける。

#### (作用)

チップ間診断用スルーホールを国路的に接続。

ŧ

Ĵ.

₫.

÷

ż

洪

#1

5

ħ

6

7

は凶示していない絶滅層を介して彼旨された3g の近交する配線で相互に変にされる。 別うこれっ 配線順は、溝1河配収11、端1番配線11と直交す る前 2 海配線 12、第 2 海配線 12 と互交し無 1 資配 級(1とデ行する数3層配線)3からませ。 共り登記 綴11はセル10のグート星根の改目も有する。湯で 層配線11と第2頃配線12とはナノブ円昇1隻スシ ーホール 11で接続する。 薄2 智紀項12 と舞 5 質記 綴13とはグップ内薄2種スルーホール15で要使す

揺る図は下位海のチップ後この平河群成国であ る。同一舟号のものは、第2当に述べたらのと同 一の法子事を示す。第5回は入出刀罰5の構立委 演が揺2宮と異なる。 第3図には入出力ゲート 8 と信号用ポンディングバッドるがない。全てのナ ップ魔2の電鉄供給用パッド1は四示していまい スルーホールを介して短続する:

選ュ岩に生発明の集積回路の入出力部 5 にかけ るティブ間のつきがりを示している。人当カゲー トもと改議する診断用パッドのはテノブ間診断用 3(2)

作成で

これた在 元した 半 な個ので さい ないので き

§的に接続、

入出力部5 化シけ いる。入出力ゲー はナップ問診断用 スルーホール 16を介して他のテップ暦 2 の診断用 パッド 9 と接続する。

第 5 翌は本発明の集積回路の論理部 4 だかける ナップ間のつながりを示している。ゲート10と接 続けるパッド18はチップ間論理用スルーホール17 を介して他のチップ暦 2 のパッド10と接続する。

本信明の半導体集は回答の退避例では、各チャブ暦 2 で共通で使用される信号(以下チャブ湯共用信号という)がある。チャブ偏共用信号には、スキャン系信号(スキャンモード信号、スキャンアドレス信号、スキャンクロック信号、スキャンデーメ信号)、システムリセット信号、システムクロック信号、チャブ層選択信号がある。

語も顕はスキャンデータ信号を除くチップ腫共用信号の経路を示す設就図である。第1 チップ層20にかいては信号用ポンディングバッドもが入力ゲート19の入力増子に接続する。入力ゲート19の出力増子はチップ間診断用スルーホール16を介して第2 チップ膜21及び第3 チップ層22にかける論理同4 円ゲート25、24、25 の入力端子と接続

切断又は姿読する1つの回路構成例である。同一 符号のものは、これまでに述べたものと同一の素 子寺を示す。何囚にひいて、第3テップ層22のト ライステートゲート27は出力増子が抜層の他のト ライステートグート 64の入力 潤子へ、またテップ 間 遠程用 スルーホール 17を介して第 2 テップ層21 のトライステートグート26の入力准子へ、さらに 第 2 テップ層21の他のトライステートゲート 63の 出力強子へそれぞれ接続する。また、第3テップ 着22のトライステートグート64の出力潜子は、テ ップ間診断用スルーホール16を介して沸2テップ 浴21のトライステートゲート63の入力滑子へ、さ らに別のチップ間診断用スルーホール16を介して 第 1 テァブ暦 20のトライステートゲート 62 の 出 力端子遊びに入出力双方向トライステートゲート 65の論題部舞踏子と接続する。入出力双方向トラ イステートゲート65の他の潜子はポンディングバ ッドもと後戌する。入出力双方向トライステート ゲート65で出力トライステートゲートのイネーブ ル 鴻子は出力制 母信号 01と接続し、入力トライス

する。

次にテァブ層共用信号のうち、テァブ層選択信 号について説明する。このチップ潜退択信号には 30と31 の2 本がある。 80と81 の値を変えらこ とにより、第1図に示すように4つの状態を作る。 つまりS0,81がともに"О"のとき放集機回路は 通常動作状態である。また80が"0"、 Si が"1" のとき第1チップ層20が診断状想、 50 が゚ 1 ゚. 81 が゜0゜のとき第2チップ層21が診断状態、そ して 50,81 がともに" 1 ° のとき第 3 チップ層 22 が診断状態となるものである。そこで、通常額 昨状題ではチップ間論理用スルーホール17は回路 的に接続状態とし、チップ間診断用スルーホール 16は回路的に切断状線とする。診断状態ではチョ ブ間論理用スルーホール 17は回路的に切断状態、 ナップ間診断用スルーホール16は回名的に交流次 想とし、所望のチップ層を選択して診断できる。

以下、通常動作状態とチップ階診断状態について、第8回~第10回により述べる。

第8図は、チップ層間スルーホールを回路的に

テートゲートのイネーブル海子は出力刨剱信号の1 を反転するインパートゲート28の出力パテと変説 する。トライステートゲート62のイネーブル温子 はテップ層選択信号80を反転するインパートゲー ト29の出力為子と終決する。トライステートゲー ト63のイネーブル端子は論理技グート30の出力汽 子と接続する。病理様ゲート50の入力滑子はチッ ブ層連択信号 53 、31 の否定信号と接続する。ト ライステートゲート26のイネーブル店子はチップ **藤通択信号31を反転するインパートゲート31の出** 力温子と嵌続する。トライステートゲート64のイ ネーブル選子は論理状グート5.2の出力調子と接続 する。論理費ダート52の入力端子はテップ番選択 信号80,81 と接続する。トライステートグート 27のイネーブル旗子は排他的論理和グート33の否 定出力増子と感覚する。 併他的倫理和グート 3.5の 入力増子はチップ層選択信号 So, Siと接続する。 以上のような構成であるので、テップ暦選択信 号 So、Siを次のように選ぶことにより各チップ

-329-

即ち、通常動作時は So, S1 がともに ° 7 ° であり、トライステートゲート 62, 26, 27 が設設 状態、トライステートゲート 63, 64 が切断状態 とえる。したがって、各層の論連部 4 全てが動作 状態となる。

ボ 1 テップ暦 20 の 登断時は、 80 が °0°、 81 が °1° で あり、トライステートゲート 62 が 接 続状態、トライステートゲート 63 、64 、26 、27 が切断状態となる。 つまり 第 1 テップ暦 20の み 導 通が は 保 で き 、 数 暦 20 の 診断 が で きる。

第2 テップ暦21 の診断時は、30 が \* 1 \* 、51 が \* 0 \* であり、トライステートゲート 65 , 26 が受税状態、トライステートゲート 62 , 64 , 27 が切断状態となるので、第2 テップ暦21のみの導通が確保でき、波暦21 の診断ができる。

第 5 チップ暦 20 の診断時は、30 、31 がともに
\* 1 \* であり、トライステートゲート 64 、27 が接
疣状態、トライステートゲート 62 、63 、26 が 切
断状型となるので、紋暦22の診断ができる。

3.4 9 図は本発明のチップ間スルーホールを回路

ブル准子は出力制御信号02を反転するインパート ゲート57の出力清子と接続する。双方向トライス テートゲート 37 の出力トライステートゲートのイ ネーブル端子は綺温技ゲート43の出力増子と受経 し、入力トライステートゲートのイネーブル端子 は 角埋噴 ゲート 4 4 の 出力 満子 と 镁钒 する。 双方 向 トライステートゲート35の出力トライステートゲ ートのイネーブル潜子は論理技グート41の出力端 子と接続し、入力トライステートゲートのイネー プルボ子は海珠環ゲート42の出力ホ子と接続する。 双方向トライステートゲート38の出力トライスデ ートゲートのイネーブル君子は油温波グート 47 の出力君子と接続し、入力トライステートゲート のイネーブル選子は油環状ゲート48の出力選子と 接続する。双方向トライステートゲート36の出力 トライステートゲートのイネーブル湾子は鈴雄武 ゲート 45の出力潜子と設装し、入力トライステェ トゲートのイネーブル端子は論進後ゲート46の出 力准子と接続する。トライステートゲート34のイ オーブル選子はテクブ遊遊択信号30を反転する4 的に切断または袋疣する他の回路構成例である。

弱 2 チップ層 21の双方向トライステートグート 37の出力調構子は、同チップ層 21の他の双方向 トライステートゲート35の入力 側 清子、テップ間 倫坦用スルーホール17を介しで消3チップ層 22 の双方向トライステートゲート 38 の出力 何 孝子、 および间チップ層22の他の双方向トライステート ゲート 36の入力 舞踏子 と接続 する。 幕 2 テップ 署 21の双方向トライステートゲート 35の出力 俳 溝 子は、テップ間診断用スルーホール16を介して第 3 チップ暦 22の双方向トライステートゲート36の 出力開進子、せた別のテップ請診断用スルーホー ル16を介して第1テップ層20のトライステートグ ート54の出力 増子、 同チップ 覆20の入出力 弱双方 向トライステートゲート68の入力製品子と接続す る。入出力部及方向トライステートゲートがこの出 力側端子はポンティングパッドもと要続する。入 出力双方向トライステートゲート 60 で出力トライ ステートゲートのイネーブル溝子は出力別海信号 0.2と延迟し、入力トライステートゲートのイネー

ンパートグート40の出力端子と接続する。論理機 ゲート43の入力増子は81の否定信号、出力制御信 号0gと接続する。論理費ゲート44の入力清子は81 の否定信号、03の否定信号と接続する。論理様グ ート41の入力端子はSo信号、S1の否定信号、出力 制御信号02の否定信号と接続する。論理領グート 42の入力清子はSo信号、S1の否定信号、O2の否定 信号と接続する。論理模グート47の入力端子は排 他的倉理和ゲート49の否定出力増子、03の否定信 号と接続する。論理様グート48の入力指子は排他 的論理和ゲート49の否定出力増子、03億号と褒號 ナる。排他的論理和ゲート49の入力端子はSolf号 81信号と接続する。論理技グート45の入力指子は 80信号、81信号、02信号と接続する。論環様ゲー ト46の入力 海子はSo信号、Si信号、O2の否定信 母と登続する。

以上のよりな構成であるので、チップ漫選択信号80、81 により以下の通りテップ層間を回路的に切断されば環境することができる。

准常動作時は信号 So , St がともに"O"であ

1 50 d

Ġ

5 (

o.

张 .

72 -

後か

接坑

信号

のみ

展说

810

111 7

情母

(4)

, b . r - 1 方向 ップ門 及 22 准子、 . + - h ・ップ唱 力倒竭 - して第 - + 3 6 O ノーホー テートゲ 力却双方 と接続す 1 400 出 する。入 カトライ 胡拜信号

9、トライステートゲート54が接続状題、双方向トライステートゲート57,38が接続可能状題、双方向トライステートゲート55,36が切断状態となる。したがって、全てのテップ層の論理部4が動作状態となる。双方向トライステートゲート57,58,テップ間論理用スルーホール17を介する信号は03信号が 0 0 ときは第3 テップ層22から第2 テップ層21へ流れ、03信号が 1 0 のときは第2 テップ層21から影3 テップ層22へ流れる。

Soが"り"で、Siが"1"のとき第1チップ値 20、30が"1"で、Biが"0"のとき第2チップ 脳21、So、Siがともに"1"のとき第3チップ層 <22:70各論性は4が選択され、チップ間診断用スル -ホール16を介して潜別の診断ができる。

第10回は本発明のチップ間スルーホールを国路的に切断されば接続する他の回路構成例であり、 特にデータバス信号に関するものである。

京 1 テァブ暦 20の 双方向トライステートゲート 50の出力 増進子は同テァブ暦 20の 入出力 部双方向 トライステートゲート 61の入力 貫進子、第2 テァ

のイネー

ップ階選択信 順間を回路的 5。

。 , た・0 ° でき のイネーブル潜子は崩壁破ゲート58の出力潜子と 説規し、入刀トライステートゲートのイネーブル 選子は論連ゲート59の出力潜子と表現する。論題 遺ゲート54の入力滞子は80の否定信号、04信号と 接続する。論題様ゲート55の人力滞于は30の否定信号、04信号と 最近する。論理後ゲート56の人力滞于は30信号と 最近する。論理後ゲート56の入力潜子は50信号と 最近する。論理はゲート57の入力潜子は50信号と 最近の否定信号、04の否定信号と表現する。論理 彼ゲート58の入力増子は80信号、81信号、04 信号と表現する。論理が一ト59の入力増子は50 信号と表現する。論理が一ト59の入力増子は50 信号と表現する。

以上のような構成であるので、テップ海域択信 号 3 0 , 8 1 により以下の通りテップ帰間を回路的 に切断または養城することができる。

通常能作時かよび減1 テップ油 診断時は信号30 が ° 0 ° であり、双方向トライステートゲート50 が接続可能状態、双方向トライステートゲート51, 52が切断状態となる。双方向トライステートゲート50は∪4信号が ° 0 ° ひときデータをし8 I 20外 プ暦21の双方向トライステートゲート51の出力側 選子、或 5 チップ層22の双方向トライステートグ ート52の出力増増子と設決する。テップ層間にテ ップ間診断用スルーホール16で接続する。入出力 超及方向トライステートグート61の出力質准子は メンディング バッド & と接続する。入出力双方向 トライステートゲート61で出力トライステートゲ ートのイネーブル強子は出力制御借号04と接続し 入力トライステートゲートのイネーブル増子は出 力制御信号04を反転するインパートゲート55の出 力端子と接続する。双方向トライステートゲート 50で出力トライステートゲートのイネーブル端子 は倫理校グート54の出力選子と接続し、入力トラ イステートゲートのイネーブル博子は綺選技ゲー ト55の出力端子と接続する。双方向トライステー トグート 51で出力トライステートゲートのイネー ブル端子は崩進度ゲート56の出力端子と接続し、 入力トライステートゲートのイネーブル准子は冷 超減ゲート57の出力増子と接続する。双方向トラ イステートゲート 52 で出力トライステートゲート

から取り込み、○4官号が"1°のときデータをし SIの外へ取り出す。

80が"1"で、81が"0"のとき第2チップ暦 21、80、81がともに"1"のとき第3チップ暦22 の緯速師が選択され、チップ間診断用スルーホー ル16を介して暦別の診断ができる。

なか、第1図はテップ潜が3個の場合を示したが、2個以上であれば本発明の本質は変わらない。また、第1図はテップ潜域択信号が2つ( So . St) の場合を示したが、積層するテップ層の数に合わせて増してもよい。さらに、通常動作と診断動作の切り換え、かよびテップ層の選択は2つのテップ府選択信号( So , S1 ) で兼ねたが、通常動作と診断動作の切り換え用の信号を別に1つ設け、前記テップ層選択信号はテップ層の選択の分に使用するようにしてもよい。

また、テァブ間診断用スルーホール16かよび診断用パッド9は入出力部5に示したが、約2234に設けてもよい。

また、本発明の失物例では、一つのチェブ軍?

### 特開昭63-52463(6)

単位に診断する場合を示したが、複数のテップ層 2単位に診断するようにしてもよい。

#### (発明の効果)

以上述べたように、本発明は、半導体集校回答 ナップを複数値を以元光袋した半導体製校回路に かいて、ナップ層間の調理信号を回路的に切断す る手段、かよびナップ間診断州スルーホールを介 して優祝する手段を設けたので設備された複数個 のチップのうち少なくとも1つを過択して診断で きる。このため次のような効果が期待できる。

- (a) 集積回路のピンが診断時に増えたのと等価な効果が得られる。
- (4) 診断データの作成効率が向上する。少ないステップ数で診断率を上げることができる。
- (c) 診断データ作成プログラムの処理可能なグート規模を超えた集改回路であっても、機関された個々のテップのグート規模が診断データ作成プログラムの処理可能な範囲であれば 診断データを作成することができる。
- ▲ 図面の簡単な説明

第1図は本発明の一実施例である半導体集機回路の断面斜視図、第2図かよび第3図は第1図に示すチェブ層の平面構成図、第4図は第1図に示す入出力部の部分拡大新視図、第5図は第1図に示け論理部の部分拡大新視図、第6図は第1図の入出力部の1部を示す回路図、第7図はチェブ層選択信号を説明する図、第5四乃至第10図は論理部、入出力部の構成例を示す回路図である。

1 …半導体集價回路

2 …チップ層

4 …為理問

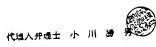
5 … 入出力部

6 , 7 … ポンディングバッド

8 …入出力ゲート

16…チップ間論理用スルーホール

17…チップ間診断用スルーホール。



ō, -

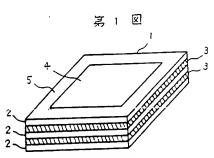
50-

50-

5i ---

50-

51-

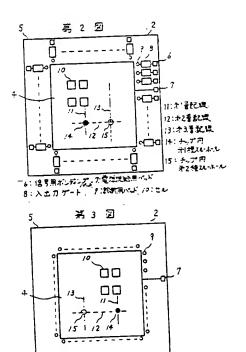


1:苄基体集積 回路

2:チップ屋

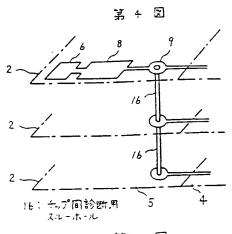
3: 絶談層 4:論理部

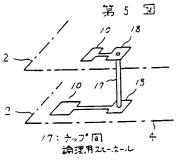
5:入出力部

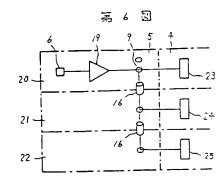




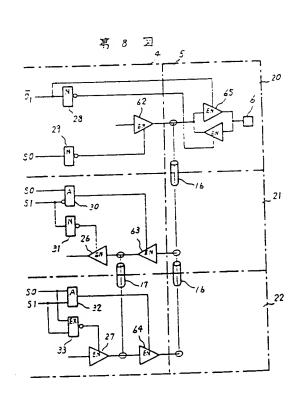
111.11量配度 121.112量配度 131.173厘配限

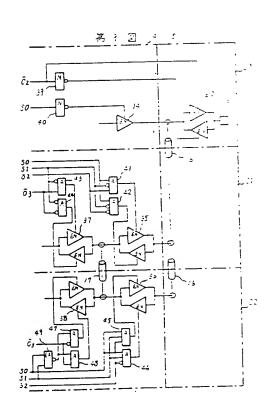






第 7 図		
50	51	状 쬰
0	0	通常创作状态
0	1	第1分27层彩画状型
1	0	第2 4% 对是診許訊題
1	1	第3かが屠診町状態。





### 特開昭63-52463(8)

